

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 3 8 0 3
Application Number:

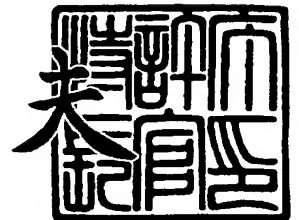
[ST. 10/C] : [J P 2 0 0 3 - 3 7 3 8 0 3]

出 願 人 沖 電 気 工 業 株 式 会 社
Applicant(s):

2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 GI000017
【提出日】 平成15年10月31日
【あて先】 特許庁長官 殿
【国際特許分類】 H05K 3/46
【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 【氏名】 照井 誠
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
 【代表者】 篠塚 勝正
【代理人】
 【識別番号】 110000165
 【氏名又は名称】 グローバル・アイピー東京特許業務法人
 【代表者】 宮川 良夫
【手数料の表示】
 【予納台帳番号】 193162
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

基板と、前記基板上に金属配線によって形成された複数の受動素子と、前記複数の受動素子を外部に電気的に接続するための電極部とを備え、前記各受動素子は互いに絶縁されていることを特徴とする受動素子チップ。

【請求項 2】

前記複数の受動素子は、アレイ状に形成されていることを特徴とする、請求項 1 に記載の受動素子チップ。

【請求項 3】

前記複数の受動素子は、抵抗器、インダクタ、又はキャパシタの何れか 1 種類あるいは複数種類を含むことを特徴とする、請求項 1 に記載の受動素子チップ。

【請求項 4】

前記複数の受動素子は、複数の仕様の受動素子を含むことを特徴とする、請求項 1 に記載の受動素子チップ。

【請求項 5】

前記仕様は、抵抗値、容量値、インダクタンス値、及びクオリティファクタ値を含むことを特徴とする、請求項 4 に記載の受動素子チップ。

【請求項 6】

前記複数の受動素子は、互いに仕様が異なる複数のグループに分けられていることを特徴とする、請求項 1 に記載の受動素子チップ。

【請求項 7】

前記複数のグループは、高周波用の仕様のグループと低周波用の仕様のグループとを含むことを特徴とする、請求項 6 に記載の受動素子チップ。

【請求項 8】

前記各グループは、インダクタのみからなるグループ、キャパシタのみからなるグループ又は抵抗器のみからなるグループを含むことを特徴とする、請求項 6 に記載の受動素子チップ。

【請求項 9】

前記複数の受動素子は、高周波用の仕様の受動素子のみ又は低周波用の仕様の受動素子のみを含むことを特徴とする、請求項 1 に記載の受動素子チップ。

【請求項 10】

前記複数の受動素子は、インダクタのみ又はキャパシタのみからなることを特徴とする、請求項 1 に記載の受動素子チップ。

【請求項 11】

前記受動素子は、前記金属配線が螺旋状に配置されて構成されたインダクタであることを特徴とする、請求項 1 に記載の受動素子チップ。

【請求項 12】

前記受動素子は、前記金属配線が平行平板電極を構成するキャパシタであることを特徴とする、請求項 1 に記載の受動素子チップ。

【請求項 13】

前記複数の受動素子を覆う絶縁層と前記絶縁層上に開口部を有して形成された保護膜とを備え、

前記電極部は、前記絶縁層上に前記複数の受動素子に接続されて形成されるとともに、前記保護膜の開口部から露出する第 1 の電極部を有することを特徴とする、請求項 1 に記載の受動素子チップ。

【請求項 14】

前記電極部は、前記第 1 の電極部に電気的に接続された第 2 の電極部をさらに有し、
前記第 2 の電極部は、一部を除いて樹脂層によって覆われている、ことを特徴とする請求項 12 に記載の受動素子チップ。

【請求項 15】

ウエハから分離されて形成される受動素子チップであって、
基板と、前記基板上に金属配線によって形成された複数の受動素子と、前記複数の受動素子を外部に電氣的に接続するための電極部と、を備える受動素子チップ。

【請求項 16】

基板と、前記基板に第 1 の金属配線によって形成された複数の受動素子と、前記複数の受動素子を外部に電氣的に接続するための電極部とを有する受動素子チップと、

能動素子と、前記能動素子を外部に電氣的に接続するための電極部とを有する能動素子チップと、

前記複数の受動素子チップと前記能動素子チップとを覆う絶縁層とを備え、

前記複数の受動素子チップの電極部と前記複数の能動素子チップの電極部とは第 2 の金属配線によって選択的に接続されていることを特徴とする、高集積モジュール。

【請求項 17】

複数の受動素子を有する受動素子チップを製造する方法であって、

基板上に絶縁層及び金属配線を加工及び堆積することによって複数の受動素子を形成するステップと、

前記絶縁層上に前記複数の受動素子に接続される複数の第 1 の電極部を形成するステップと、

前記複数の第 1 の電極部が露出されるように前記絶縁層を保護膜で覆うステップと、を含む受動素子チップの製造方法。

【請求項 18】

前記複数の第 1 の電極部が露出されるように前記保護膜を感光性樹脂膜で覆うステップと、

前記複数の第 1 の電極部に電氣的に接続される金属配線を前記感光性樹脂膜上に形成するステップと、

前記金属配線に電氣的に接続される第 2 の電極部を形成するステップと、

前記第 2 の電極部の一部が露出されるように前記金属配線及び前記感光性樹脂膜を樹脂層で覆うステップと、を含む請求項 17 に記載の受動素子チップの製造方法。

【請求項 19】

複数の絶縁層からなる高集積モジュールを製造する方法であって、

基板と、前記基板に第 1 の金属配線によって形成された複数の受動素子と、前記複数の受動素子を外部に電氣的に接続するための電極部とを備える受動素子チップを、前記複数の絶縁層の何れかの表面に配置するステップと、

能動素子と、前記能動素子を外部に電氣的に接続するための電極部とを有する能動素子チップを、前記複数の絶縁層の何れかの表面に配置するステップと、

前記受動素子チップの電極部と前記能動素子チップの電極部とを第 2 の金属配線によって電氣的に接続するステップと、を含む高集積モジュールの製造方法。

【書類名】明細書

【発明の名称】受動素子チップ、高集積モジュール、受動素子チップの製造方法、及び高集積モジュールの製造方法。

【技術分野】

【0001】

本発明は、受動素子チップ、高集積モジュール、受動素子チップの製造方法、及び高集積モジュールの製造方法に関する。

【背景技術】

【0002】

電気機器の高密度実装化の方法として、半導体チップなどの能動素子やインダクタ、キャパシタ、抵抗器等の受動素子を基板に内蔵する方法（基板内蔵）が提案されている。基板内蔵においては、能動素子部品や受動素子部品がいわゆる完全良品であることをチップ状態で保証することが困難であるため、適用が限られたものとなっていた。

【0003】

特許文献1には、シート状の熱硬化樹脂にベアチップの半導体装置やインダクタ、キャパシタ等の受動素子部品を埋め込んだものを多層に貼り合わせ、各層を貫通するインナービアを介して各層の配線パターンを電氣的に接続した部品内蔵モジュールが記載されている。

【0004】

特許文献2には、半導体素子の一面と略同一の形状を有する配線部（部品内蔵モジュール）が記載されている。この配線部は、半導体素子のインターフェース回路を内蔵するものであり、インターフェース回路に必要なインダクタ、キャパシタ、抵抗器等の受動素子部品が埋め込まれている。具体的には、半導体素子の端子側の面に溝が形成されており、この溝に配線パターンやインダクタ、キャパシタ、抵抗器等の受動素子部品が埋め込まれている。

【特許文献1】特開2002-261449号公報（第9頁、第1図）

【特許文献2】特開2003-158214号公報（第3-6頁、第1-2図）

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献1及び2に記載の部品内蔵モジュールでは、受動素子部品を個別のチップ部品で熱硬化樹脂等に内蔵している。しかし、個別のチップ部品を内蔵する場合には、チップ部品自体及びチップ部品間の配線が占有する面積が大きくなり、受動素子部品の数が多い場合には、最終的な部品内蔵モジュールが大型化する問題がある。

【0006】

なお、半導体プロセスにより受動素子を半導体チップに作り込めば受動素子部品の数を減少させることができるとも考えられるが、もともと別に実装していた受動素子部品の受動素子を半導体チップに形成すると、トランジスタ等の能動素子と干渉し、能動素子の特性を悪化させる虞がある。

【課題を解決するための手段】

【0007】

本発明に係る受動素子チップは、基板と、基板上に金属配線によって形成された複数の受動素子と、複数の受動素子を外部に電氣的に接続するための電極部とを備えており、各受動素子は互いに絶縁されていることを特徴としている。

【発明の効果】

【0008】

本発明に係る受動素子チップでは、従来それぞれ個別の部品であった複数の受動素子を基板上に形成することによって、複数の個別の部品を1つの受動素子チップに集積することができる。この受動素子チップを用いて部品内蔵モジュールを構成すれば、個別の部品が1つの受動素子チップに集約されているので、受動素子を高密度に実装する場合に

も、受動素子部品の実装面積を効果的に低減することができる。この結果、高集積モジュールの小型化及び実装密度の向上を図ることができる。

【0009】

また、受動素子チップに集積された各受動素子は互いに絶縁されており、外部に電氣的に接続するための電極部を有している。部品内蔵モジュールに受動素子チップを内蔵する際には、電極部を選択的に配線することによって電気回路の必要な部分に受動素子を配線することができる。また、電極部の配線の組み合わせによっては、複数の受動素子を組み合わせて必要な仕様（例えば、抵抗値、容量値、インダクタ値、クオリティファクタ）を得ることができる。

【発明を実施するための最良の形態】

【0010】

〔高集積モジュール〕

図1及び図2は、本発明の第1実施形態に係る高集積モジュール1000の製造方法を説明する図である。

【0011】

図1(a)に示すように、絶縁性の基板1の上面の導電膜をパターンニングし、配線パターン2、台座パターンとしての配線パターン2a、層間の配線パターン同士を接続するパッドとなる配線パターン2bを形成する。次に、半導体装置4及び受動素子チップ5をダイスボンド材3で台座パターン2aに固定する。半導体装置4は、トランジスタ等の能動素子が形成された半導体チップを再配線して樹脂で封止したWCSP(Wafer Level Chip Size Package)である。半導体装置4は、外部と電氣的に接続するための電極部41を有している。受動素子チップ5は、半導体装置とは別に実装されるインダクタ、コンデンサ、抵抗器等の複数の受動素子を基板上に集積した後、再配線して樹脂で封止したWCSPである。受動素子チップ5は、電極部51を有している。

【0012】

WCSPの装置又はチップでは、樹脂封止されていない裸のチップ（ベアチップ）の電極パッド（第1の電極部）の間隔よりも大きい間隔で配置された金属ポスト（第2の電極部）を有しており、外部回路との配線が容易である。また、WCSP状態では、チップに形成された素子が樹脂で保護されているので、ベアチップ状態に比較して周囲の環境のクリーン度をそれほど高くする必要がなく、取り扱いが容易である。また、ベアチップの状態ではいわゆる完全良品であることを保証することはできないが、WCSPでは、金属ポストの間隔が大きく、外部回路と接続して試験を行うことができるので、完全良品であることを保証することができる。

【0013】

次に、図1(b)に示すように、ポリイミド、エポキシ系樹脂等からなる絶縁膜6を堆積し、半導体装置4及び受動素子チップ5を絶縁膜6で覆う。

【0014】

その後、図1(c)に示すように、絶縁膜6をエッチングして開口部7を形成し、半導体装置4の電極41及び受動素子チップ5の電極51を露出させる。また、絶縁膜6をエッチングして開口部7aを形成し、配線パターン2bを露出させる。

【0015】

次に、図1(d)に示すように、絶縁膜6上に銅等からなる導電膜を堆積し、開口部7及び開口部7aを埋め込む。導電膜をパターンニングし、配線パターン8、台座パターンとしての配線パターン8a、層間の配線パターンを接続するパッドとなる配線パターン8bを形成する。半導体装置4の電極41及び受動素子チップ5の電極51は、開口部7を介して配線パターン8に電氣的に接続される。また、配線パターン2は、開口部7aを介して配線パターン8bに電氣的に接続される。

【0016】

次に、図2(a)に示すように、半導体装置10をダイスボンド材3で台座パターン8aに固定する。半導体装置10は、トランジスタ等の能動素子が形成された半導体チップ

を樹脂で封止して再配線したWCSPである。半導体装置10は、電極部101を有している。次に、絶縁膜6上に絶縁膜9を堆積し、エッチングにより絶縁膜9に開口部11を形成し、半導体装置10の電極101を露出させる。また、絶縁膜9をエッチングして、開口部11aを形成し、配線パターン8bを露出させる。引き続き、絶縁膜9の表面に導電膜を堆積させて開口部11及び開口部11aを埋め込む。導電膜をパターンニングし、配線パターン12、層間の配線パターン同士を接続するパッドとなる配線パターン12bを形成する。半導体装置10の電極101は、開口部11を介して配線パターン12に電氣的に接続される。また、配線パターン8bは、開口部11aを介して配線パターン12bに電氣的に接続される。

【0017】

次に、図2(b)に示すように、絶縁膜9上に絶縁膜13を堆積し、エッチングにより開口部25aを形成し、配線パターン12bを露出させる。引き続き、絶縁膜13の表面に導電膜を堆積させて開口部25aを埋め込む。導電膜をパターンニングし、台座パターンとなる配線パターン14a、層間の配線パターン同士を接続する配線パターン14bを形成する。導電パターン12bは、開口部25aを介して配線パターン14bに電氣的に接続される。その後、半導体装置16の電極161を配線パターン14に半田20で固定し、受動素子チップ17の電極171を配線パターン14に半田20で固定する。

【0018】

さらに、基板1の裏面をエッチングして開口部1aを形成し、配線パターン2bを露出させる。引き続き基板1の裏面に導電膜を堆積させて開口部1aを埋め込む。導電膜をパターンニングし、配線パターン2bに電氣的に接続される配線パターン18bを形成する。

【0019】

最後に、基板1の裏面において配線パターン18bに半田ボール21を形成する。半田ボール21は、外部の端子との接続に使用される外部接続端子である。

【0020】

ここで、半導体装置16は、トランジスタ等の能動素子が形成された半導体チップを樹脂で封止して再配線したWCSPである。受動素子チップ17は、半導体装置とは別に実装されるインダクタ、コンデンサ、抵抗器等の受動素子を半導体チップに集積した後、半導体チップを樹脂で封止して再配線したWCSPである。受動素子チップ19は、半導体装置4、10及び16とは別に実装されるインダクタ、コンデンサ、抵抗器等の受動素子を基板上に集積した後、受動素子の電極を再配線して樹脂で封止したWCSPである。

【0021】

上記では、外部接続用の端子を基板1の裏面に形成した半田ボール21としたが、通常のドータボードやマザーボードと同様にシステム内の接続をコネクタやソケットなどで構成しても良く、外部接続用の端子の構成を限定するものではない。例えば、図3に示すように、配線パターン18bにコネクタ22を半田付けしても良い。コネクタ22は、外部回路との接続のためのピン23を有しており、ピン23に電氣的に接続された図示しない外部接続部が半田によって配線パターン18bに電氣的に接続されている。コネクタ22は、外部の端子と嵌合することによって、配線パターン18bを外部の端子と電氣的に接続する。

【0022】

上記では、半導体装置はWCSPとしたが、半導体装置はベアチップであっても良い。また、上記では、受動素子チップはWCSPとしたが、ベアチップであっても良い。

【0023】

〔受動素子チップ〕

図4及び図5は、受動素子チップ500の製造方法を説明するための断面図である。

【0024】

図4(a)に示すように、ガラス、サファイア等の絶縁材料からなる基板61上に絶縁層62及びアルミ合金の金属配線を用いてインダクタ63及びキャパシタ64を形成する。ここで、金属配線は、アルミ合金に限られず、銅合金または金合金であってもよい。絶

緑層 62 の堆積及びエッチング、アルミ合金の堆積及びエッチングを繰り返して、インダクタ 63 及びキャパシタ 64 を形成する。絶縁層 62 及び金属配線の堆積は、CVD、蒸着、スパッタ等の半導体プロセスでの薄膜形成技術を用いて行い、絶縁層 62 及び配線の加工は、フォトリソグラフィー及びエッチング等の半導体プロセスでのパターン形成技術を用いて行う。ここでは、受動素子チップ 500 にインダクタ 63 及びキャパシタ 64 を形成したが、抵抗器を形成しても良い。

【0025】

インダクタ 63 は、例えば、図 6 に示すように、金属配線を渦巻状にしたスパイラル形状（螺旋形状）に配置されて形成される。キャパシタ 64 は、例えば、図 6 に示すように、金属配線によって平行平板電極を構成し、平行平板電極が多層化されて形成される。また、キャパシタ 64 の平行平板電極の間に高誘電率の絶縁材料を配置すれば、容量を大きくすることができる。インダクタ 63 のクオリティファクタ Q 値を向上させるためには、基板 61 は高抵抗率のものが理想的である。例えば、基板 61 は、サファイアからなる絶縁基板が好ましい。

【0026】

次に、図 4 (b) に示すように、絶縁層 62 上に窒化膜等からなる保護膜 65 を堆積し、フォトリソグラフィー及びエッチングによって保護膜 65 に開口部 66 を形成し、インダクタ 63 及びキャパシタ 64 の電極部 63a, 64a（第 1 の電極部）を露出させることにより、ベアチップの受動素子チップが完成する。受動素子チップをベアチップで使用する場合には、この状態で実装すればよい。

【0027】

WCSP の受動素子チップは、さらに、図 4 (c) に示すようにポリイミド等の感光性樹脂膜 65 を堆積し、感光性樹脂膜 65 をエッチングして電極部 63a 及び 64a を露出する開口部 66a を形成する。次に、図 5 (a) に示すように、感光性樹脂膜 65a 上に銅等の導電膜を堆積して開口部 66a を埋め込み、導電膜をパターンニングすることにより、インダクタ 63 の電極部 63a 及びキャパシタ 64 の電極部 64a に接続される配線パターン 67 を形成する。次に、配線パターン 67 及び感光性樹脂膜 65a 上にレジストパターンを形成して銅等からなる金属ポスト 70 を図 5 (b) に示すように形成する。レジストパターンを除去した後、金属ポスト 70 の上面が露出されるように、配線パターン 67、感光性樹脂膜 65a 及び金属ポスト 70 の側面を樹脂層 68 で封止する。

【0028】

ここで、ベアチップでの配線ピッチである開口部 66 の間隔は約 $50 \sim 100 \mu\text{m}$ であるが、金属ポスト 70 の間隔は、開口部 66 の間隔（電極部 63a の露出部分の間隔）よりも大きい間隔、例えば約 $500 \mu\text{m}$ である。即ち、開口部 66 の間隔約 $50 \sim 100 \mu\text{m}$ を配線パターン 67 を介して電極ポスト 70 の間隔 $500 \mu\text{m}$ に再配線する。これにより、WCSP の受動素子チップでは、高集積モジュールに受動素子チップを実装する際に配線が容易になる。

【0029】

本実施形態に係る受動素子チップでは、シリコン等の半導体プロセスでの薄膜形成技術（CVD、蒸着／スパッタ）やパターン形成技術（フォトリソグラフィー及びエッチング等）によって、 $1 \mu\text{m}$ 前後の配線幅、サブミクロンオーダの絶縁膜による多層化が可能となるので、小型化及び高密度化を図ることができる。

【0030】

高集積モジュールに各受動素子を個別のチップ部品で実装した場合には、チップ部品自体の面積が大きく、半田付けのスペースも必ず必要であり、実装面積の低減が困難であった。このような個別のチップを多数実装する場合には、チップ数の増加に伴い急激に実装面積が増大し、高集積モジュールの大型化に繋がっていた。本実施形態に係る受動素子チップによれば、個別のチップ部品で実装していた複数の受動素子を受動素子チップに集積するので、部品自体の大きさを小型化することができるとともに、半田付けのスペースも必要なく、配線幅も非常に狭くすることができる。従って、受動素子を多数実装する場合

に実装面積を大幅に低減することが可能となり、高集積モジュール全体の小型化を図ることができる。また、個別のチップ部品で実装していた受動素子を受動素子チップに集積し、受動素子をまとめて実装することができるので、実装部品点数が削減され、高集積モジュールの製造時間の短縮を図ることもできる。

【0031】

また、上述した受動素子チップ500は、図6に示すようなウエハ100上に半導体プロセスを用いて形成することができる。即ち、ウエハ100上に受動素子チップ500をマトリクス状に配置して一括形成し、各受動素子チップ500を個別に切り出す（分離する）ことにより、受動素子チップ500を大量生産することが可能である。これにより、受動素子チップ500のコストダウン及び高集積モジュールのコストダウンを図ることができる。

【0032】

〔受動部品の組み合わせ〕

次に、受動素子チップ500におけるインダクタ及びキャパシタの組み合わせについて説明する。

【0033】

図7は、受動素子チップ500に形成される受動素子をインダクタ63のみからなるグループ（インダクタグループ）と、キャパシタ64のみからなるグループ（キャパシタグループ）とに分けた場合のインダクタ及びキャパシタの組み合わせである。さらに、インダクタグループは、複数の仕様1a～6aごとのグループに分けられている。ここで、仕様には、容量値、インダクタンス値、及びクオリティファクタQ値が含まれる。各仕様のグループには、同一仕様の複数のインダクタが形成されている。また、キャパシタグループは、複数の仕様1b～6bの仕様ごとのグループに分けられている。各仕様のグループには、同一仕様の複数のキャパシタが形成されている。このように受動素子が複数のグループに分けられた受動素子チップ500を高集積モジュールに実装する場合には、必要な仕様のインダクタ63の電極部63a及びキャパシタ64の電極部64aを配線パターンで電気的に結線する。

【0034】

この受動素子チップ500によれば、様々な仕様のインダクタ63及びキャパシタ64が仕様ごとに複数形成されているので、アプリケーションに応じて必要な仕様のインダクタ63及びキャパシタ64を必要な数だけ電気的に結線することができる。従って、アプリケーションに左右されない汎用性の高い受動素子チップを実現できる。このように汎用性の高い受動素子チップ500を実現するためには、様々な仕様のインダクタ63及びキャパシタ64を仕様ごとに大量に形成する必要があるが、受動素子チップ1個当たりのインダクタ63及びキャパシタ64は膨大なものとなるが、半導体プロセスを利用してインダクタ63及びキャパシタ64を受動素子チップ500に集積することにより、受動素子チップ1個当たりに膨大な受動素子を実装可能となる。

【0035】

なお、図7においてインダクタ63及びキャパシタ64を全て同じ仕様とした場合にも、配線の組み合わせを適宜選択することにより、様々な仕様のインダクタまたはキャパシタを構成することができる。即ち、全て同じ仕様のインダクタ63及びキャパシタ64であっても、必要なインダクタ63及びキャパシタ64を適宜、直列並列に接続すれば、必要な回路構成を得ることができる。

【0036】

なお、上記では、受動素子チップにおいてインダクタ及びキャパシタを形成する場合について説明したが、インダクタ及びキャパシタとともに抵抗器を形成しても良い。この場合、仕様には抵抗値も含まれる。

【0037】

図8は、ウエハ100上に、高周波用受動素子チップ500aと、高周波用以外の用途（例えば低周波用）の受動素子チップ500bとを形成した場合のインダクタ及びキャパ

シタの組み合わせである。受動素子は、高周波用途のものとそれ以外の周波数用途（ここでは低周波用途とする）のものに大別できる。例えば、インダクタ63に関しては、高周波用途での要求仕様は、インダクタンス値10 nH前後、Q値15以上であり、低周波用途での要求仕様は、インダクタンス値1 μ H以上、Q値10以下である。そこで、高周波用の受動素子を実装した受動素子チップ500aと、低周波用の受動素子を実装した受動素子チップ500bとを別々に形成する。即ち、高周波用の仕様専用の受動素子を集積する受動素子チップ500aと、低周波用の仕様専用の受動素子を集積する受動素子チップ500bとを別々に形成する。受動素子チップ500a及び500bそれぞれにおける受動素子の配置は、図7と同様に仕様ごとの領域に分割しておくのが好ましい。なお、ここでは、高周波用仕様の受動素子と低周波仕様の受動素子を別々の受動素子チップ500a及び500bに形成したが、同一の受動素子チップ上に形成する複数の受動素子を高周波仕様のグループと、低周波仕様のグループとに分けても良い。

【0038】

ここでも、受動素子チップにおいてインダクタ及びキャパシタを形成する場合について説明したが、インダクタ及びキャパシタとともに抵抗器を形成しても良い。この場合、仕様には抵抗値も含まれる。

【0039】

以上のように、高周波用仕様専用の受動素子チップ500aと、低周波用仕様専用の受動素子チップ500bとを別々にウエハ100上に形成することにより、アプリケーションに応じて受動素子チップ500a及び500bの選択が可能となり、受動素子チップ500a及び500bに必要な応じた仕様の受動素子を有効に集積することができる。即ち、高周波用の受動素子が大量に必要な高集積モジュールでは、受動素子チップ500aを使用することにより、必要な受動素子の数を少ない受動素子チップ500aで満たすことができる。

【0040】

図9は、ウエハ100の上に、インダクタ専用の受動素子チップ500cと、キャパシタ専用の受動素子チップ500dとを形成する場合のインダクタ及びキャパシタの組み合わせである。受動素子チップ500c及び500dにおける受動素子の配置は、図7と同様に仕様ごとの領域に分割しておくのが好ましい。高集積モジュールに応じて、インダクタ63を多く使用する場合と、キャパシタ64を多く使用する場合とがあるが、インダクタ63を多く使用する場合にはインダクタ専用の受動素子チップ500cを使用し、キャパシタ64を多く使用する場合にはキャパシタ専用の受動素子チップ500dを使用すれば、少ない半導体チップの数で必要な回路を構成することが可能となる。なお、上記では、受動素子チップ500a及び500bにそれぞれインダクタ63及びキャパシタ64を形成する場合について説明したが、受動素子チップに抵抗器のみを形成しても良い。

【0041】

なお、上記では、高集積モジュールをビルトアップ構造で形成する場合について説明したが、本発明に係る受動素子チップ及び半導体装置を熱硬化樹脂に埋め込んで、多層間で貼り合わせる構造にも適用できる。また、上記では、絶縁膜としてポリイミド、エポキシ系樹脂を用いたが、炭素繊維に樹脂を含浸させたプリプレグを用いても良い。また、本発明に係る高集積モジュールを銅箔層や膜形成法の部品内蔵にも適用できる。

【0042】

〔アプリケーション〕

以上説明した高集積モジュールが適用されるアプリケーションとしては、図10に示すものがある。同図(a)は、携帯電話機等の無線通信機におけるSAWフィルタ及び入出力側のマッチング回路160a、160bを示している。例えば、マッチング回路160a、160bを本発明の受動素子チップ500に集積することができる。同図(b)は、携帯電話機等の無線通信機における低ノイズアンプLNA、電源側のRFチョーク回路161a、入出力側のマッチング回路161b、161cを示している。例えば、RFチョーク回路161a、LNAの入出力側のマッチング回路161b、161cを受動素子チ

ップ500に集積することができる。同図(c)は、携帯電話機等の無線通信機におけるパワーアンプ、電源側のRFチョーク回路162a、入出力側のマッチング回路162bを示している。例えば、電源側のRFチョーク162a、入出力側のマッチング回路162bを受動素子チップ500に集積することができる。同図(d)は、ELパネルを駆動するELドライバICと、電源側の昇圧用コイル163を示している。例えば、昇圧用コイル163を受動素子チップ500に集積することができる。また、図11は、LCDパネルにおける駆動電源回路に用いられるチョークコイル164を示している。例えば、チョークコイル164を受動素子チップ500に集積することができる。また、図12は、DC電源のデカップリング用チョークコイル165である。例えば、デカップリング用チョークコイル165を受動素子チップに集積することができる。

【図面の簡単な説明】

【0043】

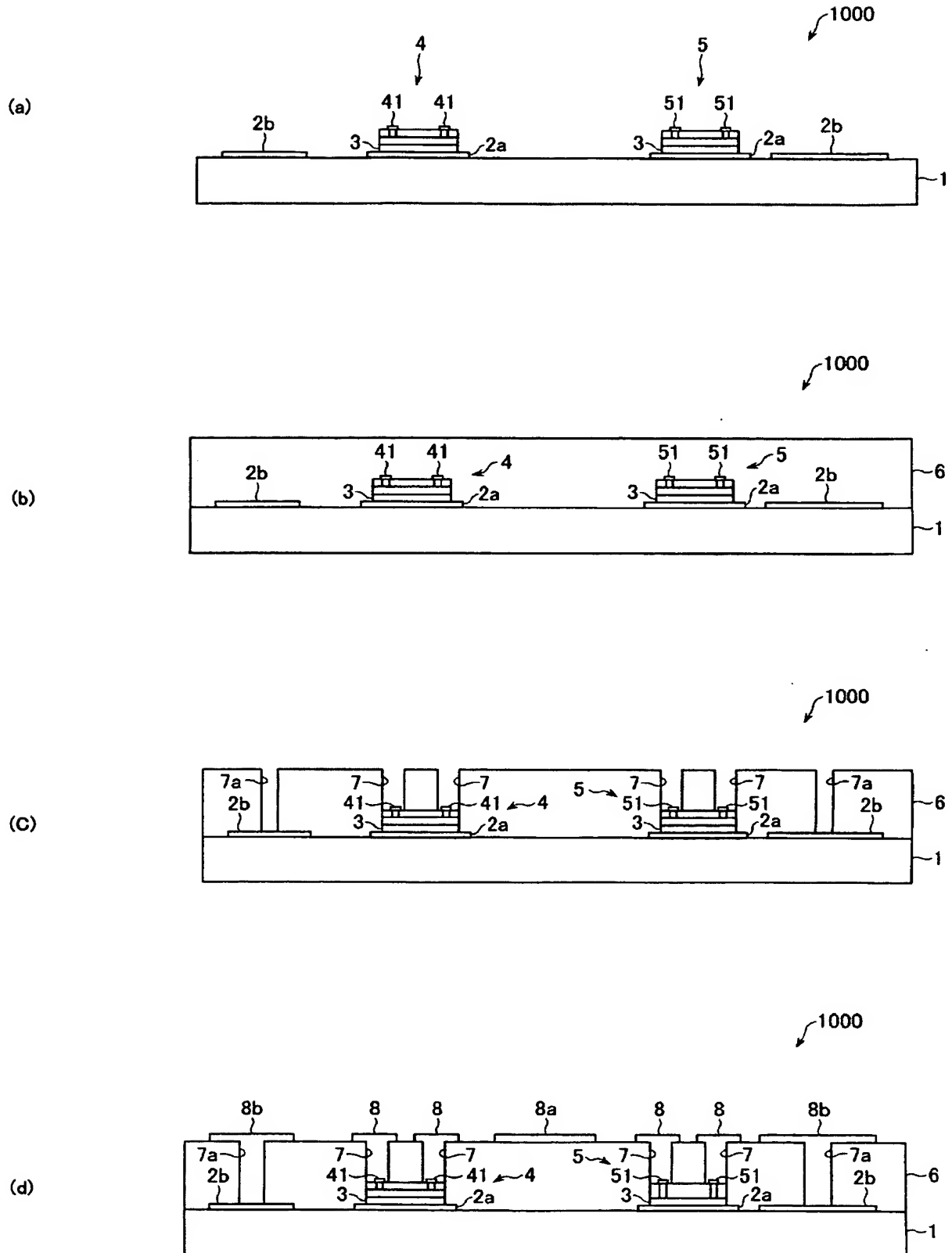
- 【図1】 高集積モジュールの製造方法の説明図。
- 【図2】 高集積モジュールの製造方法の説明図。
- 【図3】 高集積モジュールの製造方法の説明図。
- 【図4】 受動素子チップの製造方法の説明図。
- 【図5】 受動素子チップの製造方法の説明図。
- 【図6】 ウエハ及び受動素子チップの構造。
- 【図7】 受動素子チップにおける受動素子の組み合わせ例。
- 【図8】 受動素子チップにおける受動素子の組み合わせ例。
- 【図9】 受動素子チップにおける受動素子の組み合わせ例。
- 【図10】 アプリケーション例。
- 【図11】 アプリケーション例。
- 【図12】 アプリケーション例。

【符号の説明】

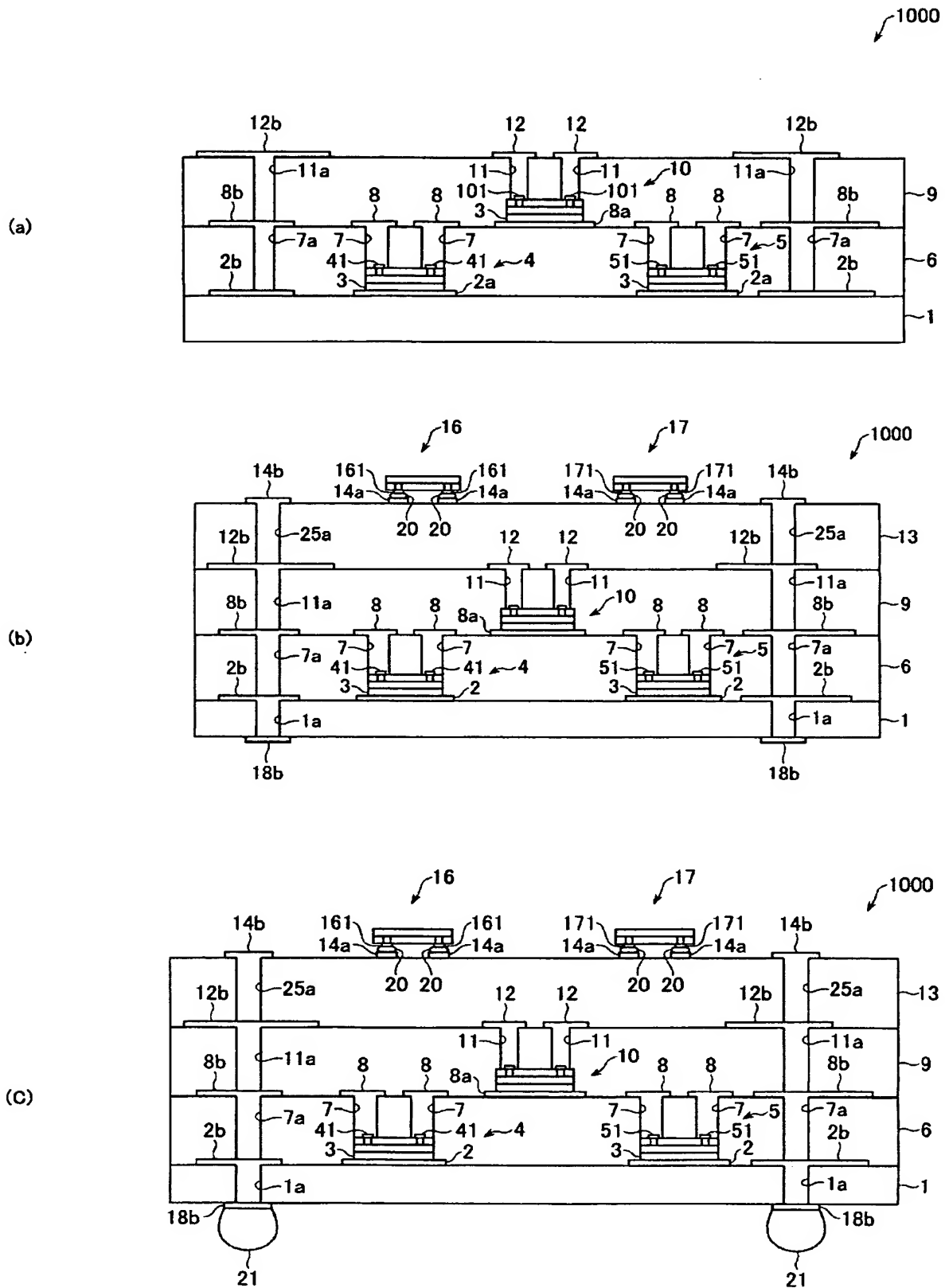
【0044】

- 4, 11, 16 半導体装置
- 5, 17, 19 受動素子チップ
- 2, 2a, 2b, 8, 8a, 8b, 12, 12b, 14a, 14b, 18b 配線パターン
- 63 インダクタ
- 63a インダクタの電極部
- 64 キャパシタ
- 64a キャパシタの電極部
- 100 ウエハ
- 500 受動素子チップ

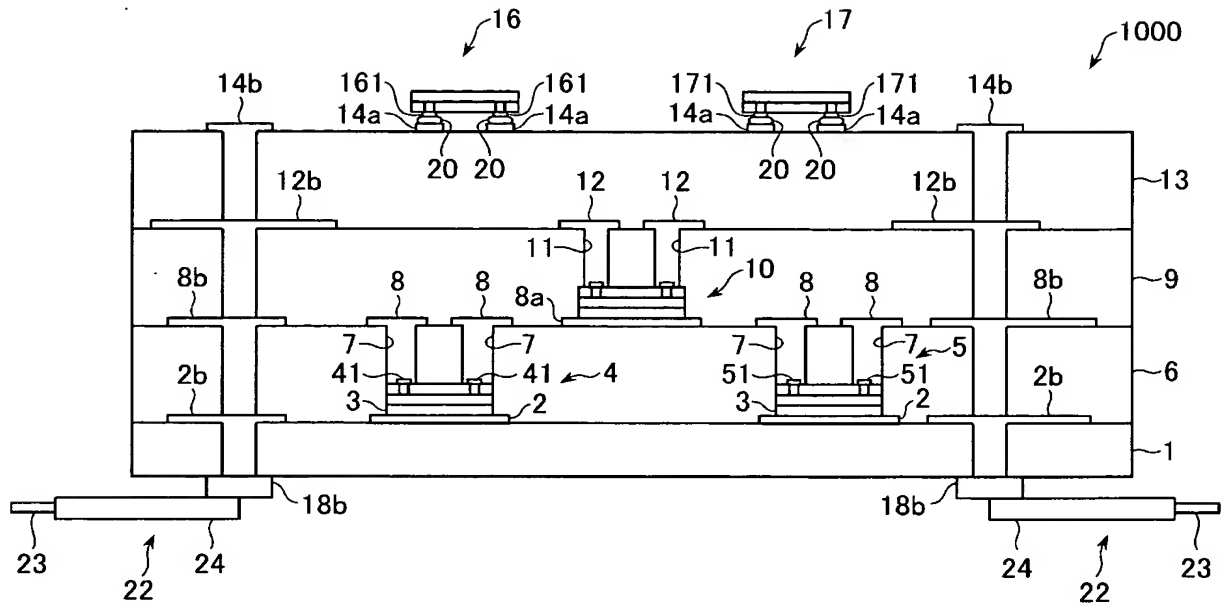
【書類名】 図面
【図 1】



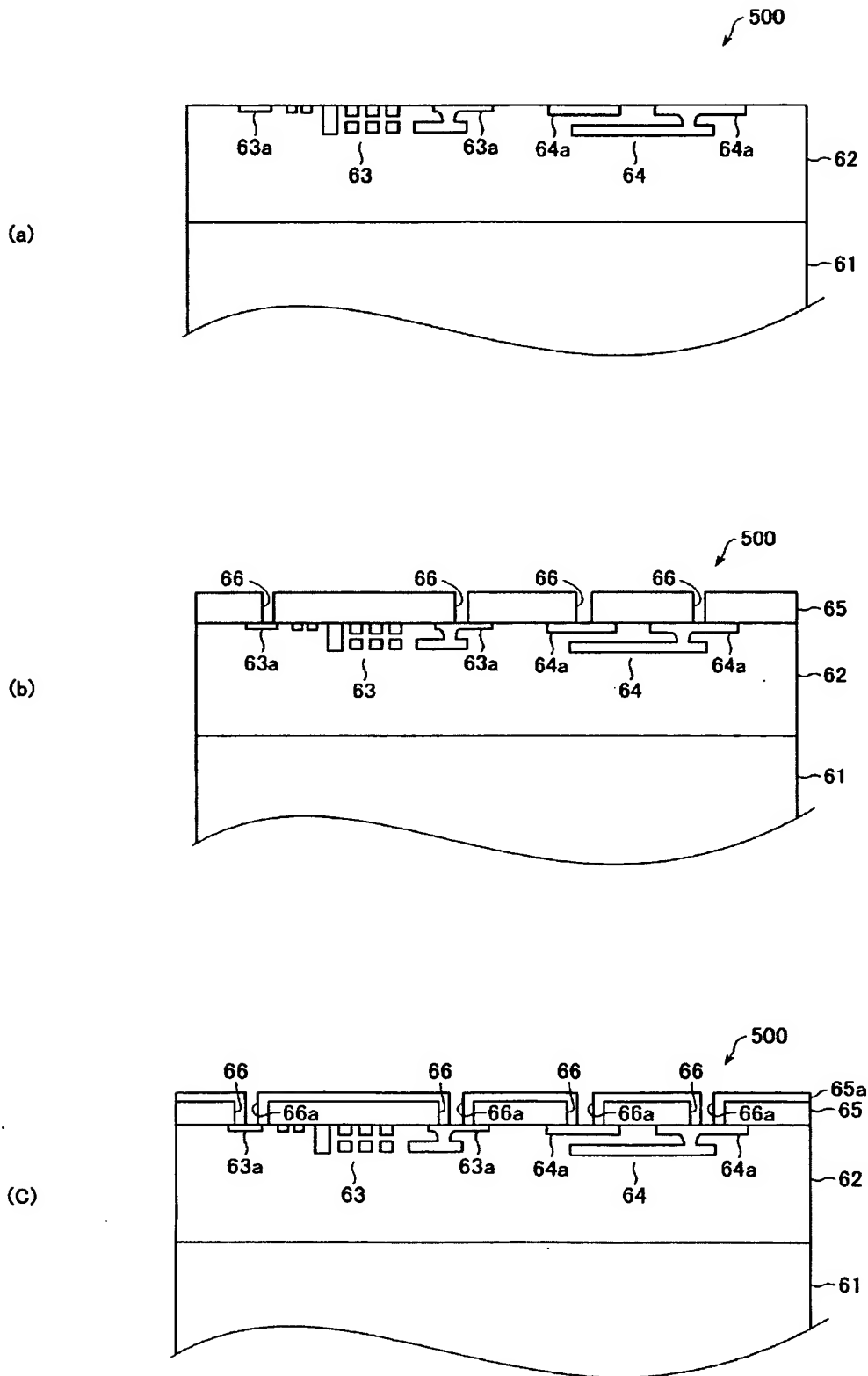
【圖 2】



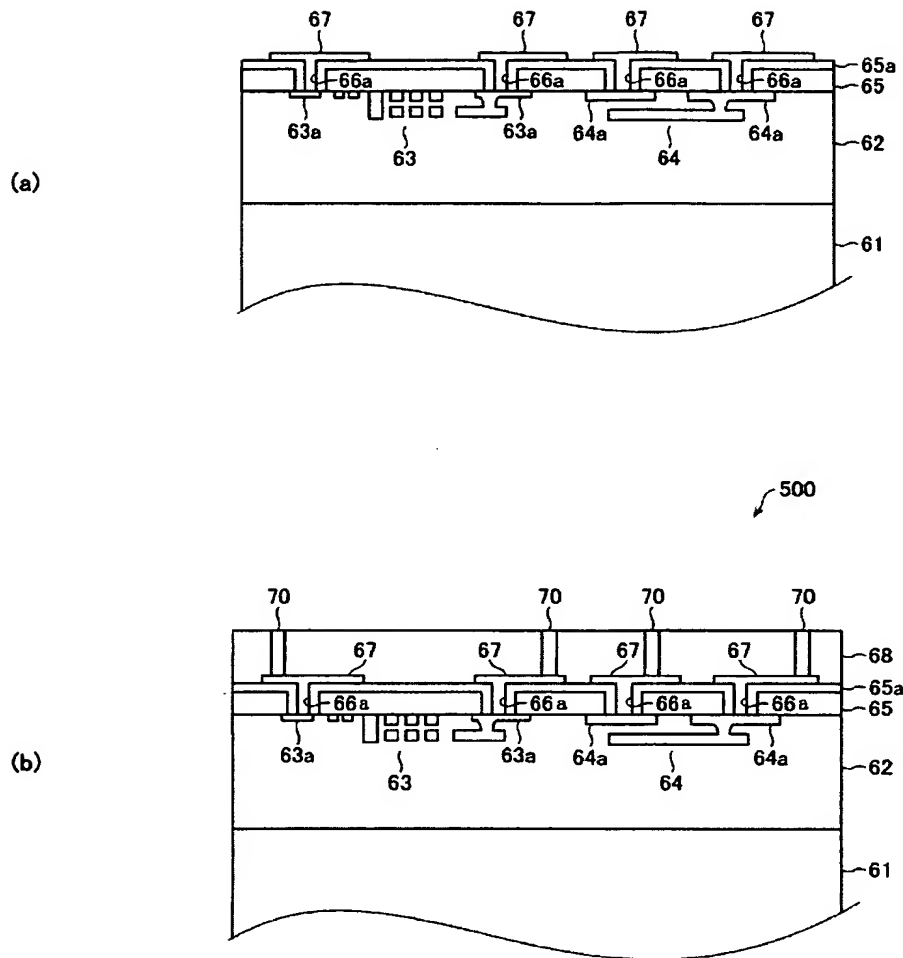
【図 3】



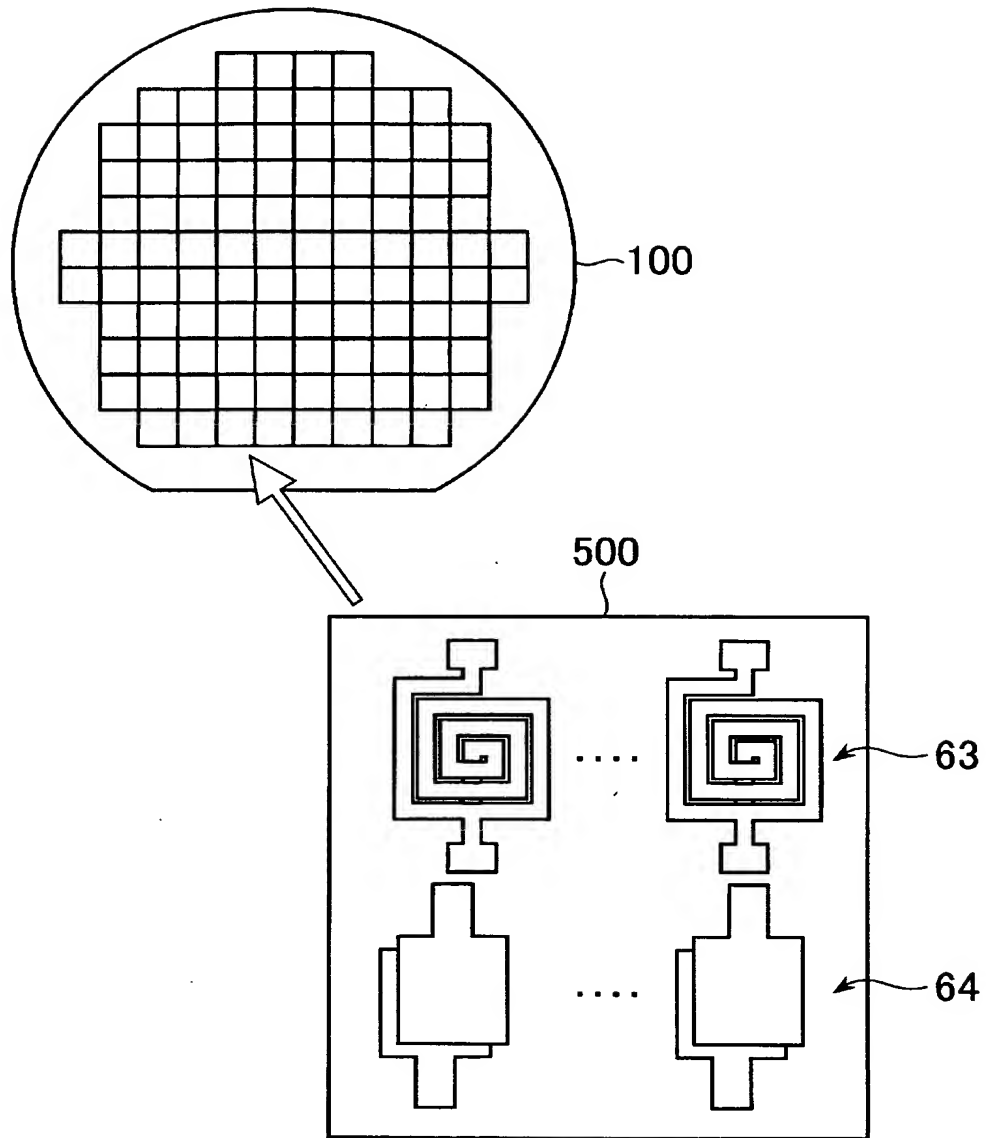
【図 4】



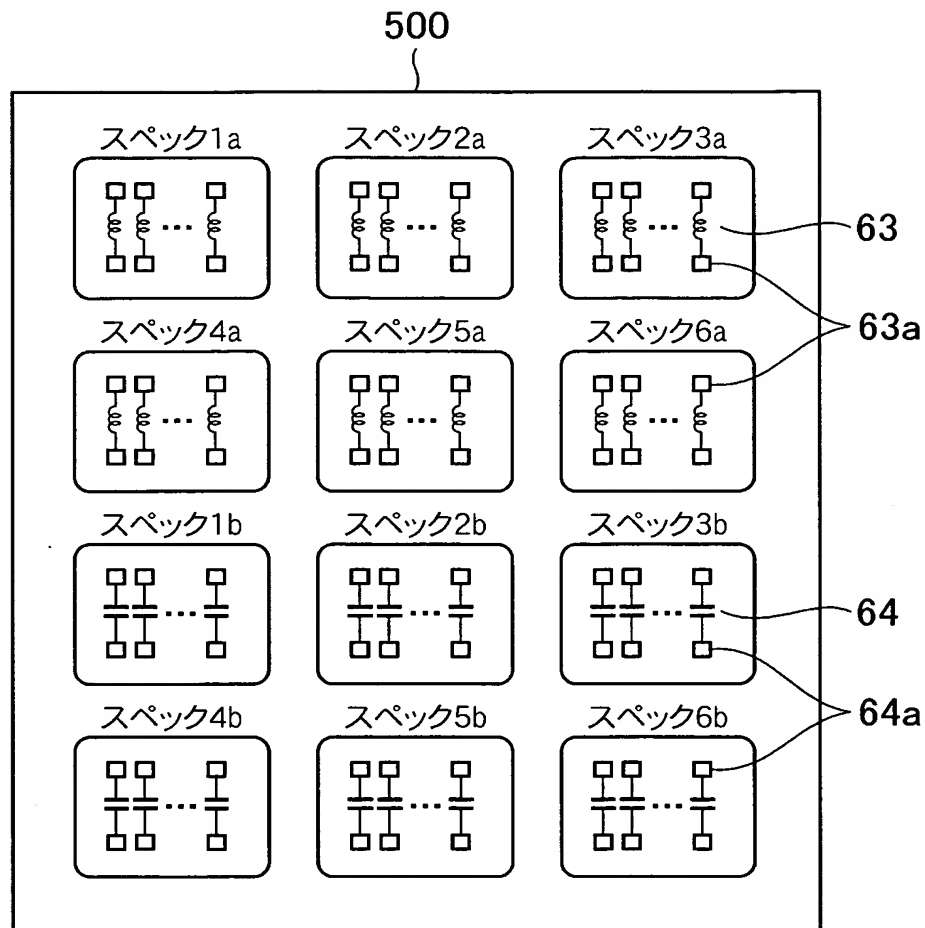
【図 5】



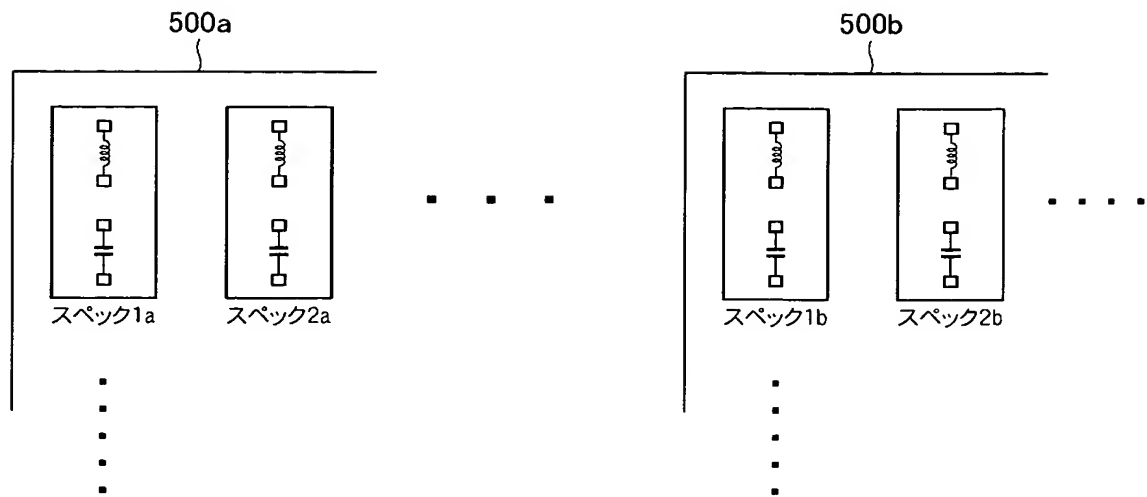
【図 6】



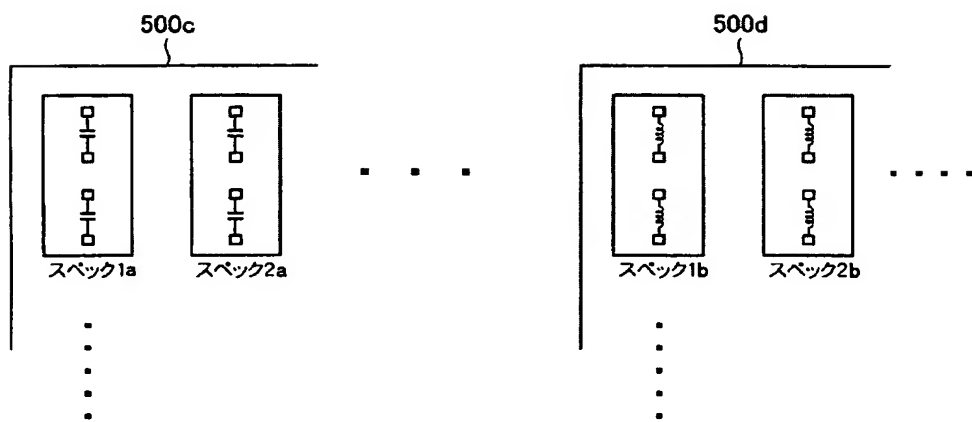
【図 7】



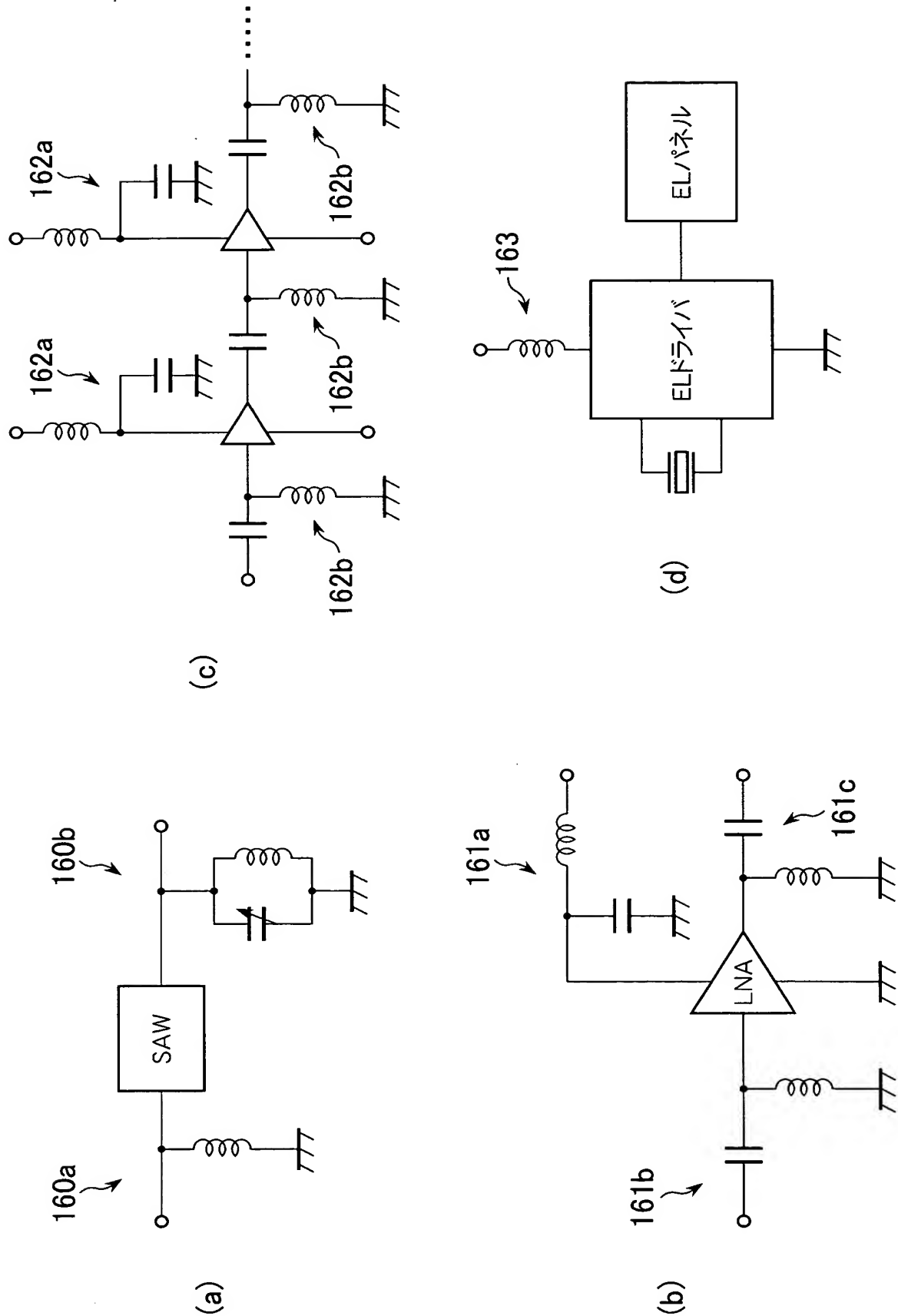
【図 8】



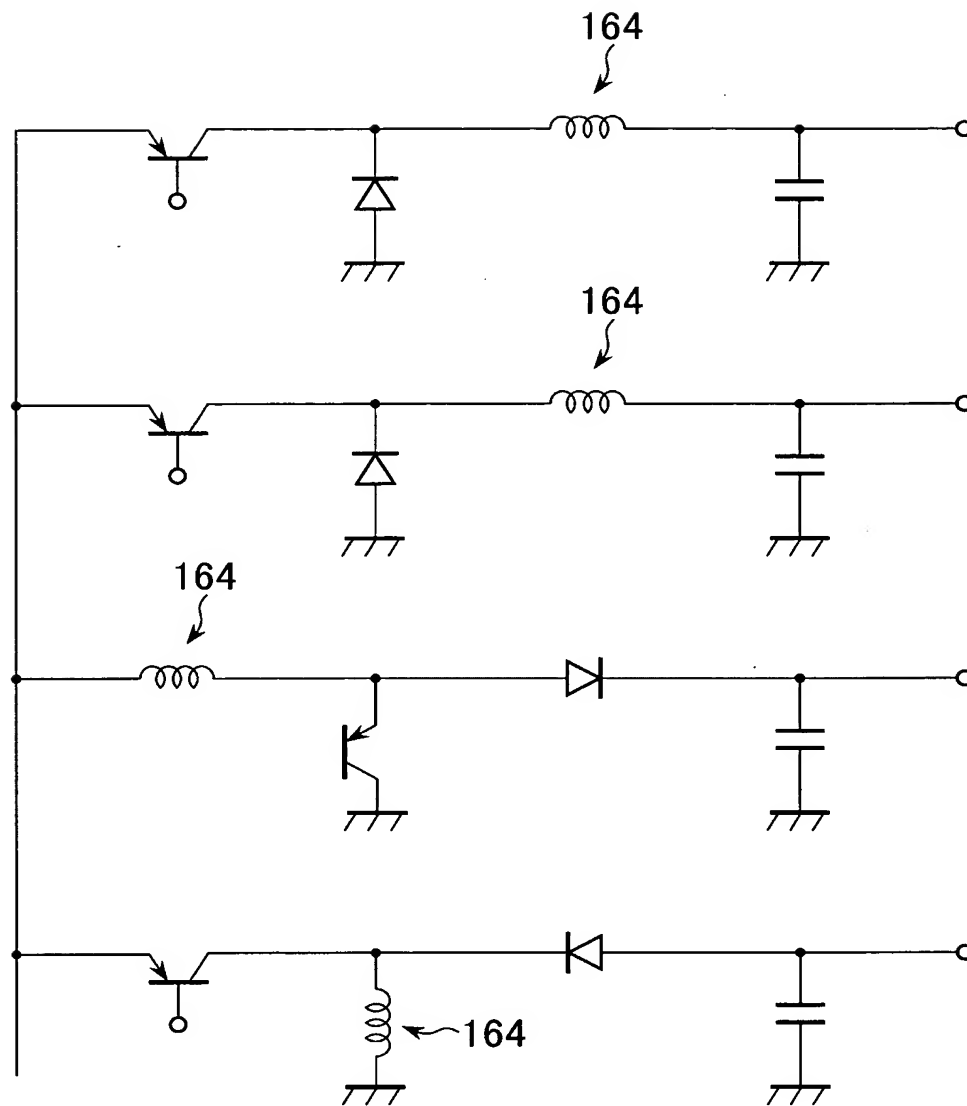
【図 9】



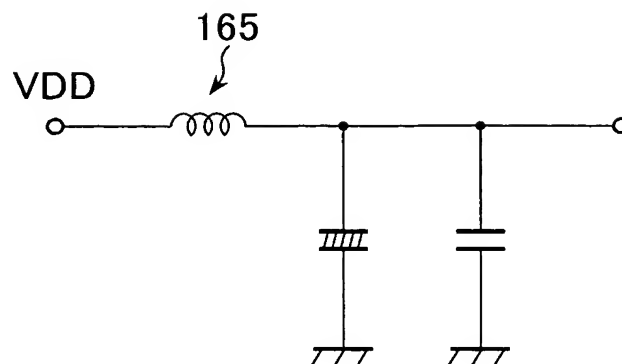
【図 10】



【図 11】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 部品内蔵モジュールにおいて小型化を図るとともに実装密度を向上させることにある。

【解決手段】 基板 6 1 と、基板 6 1 上に金属配線によって形成された複数の受動素子 6 3, 6 4 と、複数の受動素子 6 3, 6 4 を外部に電氣的に接続するための電極部 7 0 とを備えており、各受動素子 6 3, 6 4 は互いに絶縁されていることを特徴としている。

【選択図】 図 5

特願 2 0 0 3 - 3 7 3 8 0 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社